

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274263

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 21/8238  
H01L 27/092  
H01L 29/78  
H01L 21/336

(21)Application number : 2000-082365

(71)Applicant : SHARP CORP

(22)Date of filing : 23.03.2000

(72)Inventor : YOSHINO KAZUHIKO

HIKITA TOMOYUKI

SHIMOMURA NARAKAZU

(54) METHOD OF MANUFACTURING FOR SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device, for manufacturing an LDD region, a pocket layer and a high concentration source/ drain(S/D) region with minimum number of manufacturing processes.

SOLUTION: In the manufacturing method of a semiconductor device, gate electrodes are formed in N/P channel transistor(Tr) forming regions on a CMOS semiconductor substrate, a sidewall spacer(SS) is formed on a gate electrode sidewall, a P-channel Tr forming region is coated with a resist, an S/D region is formed in the N-channel Tr forming region, a part of SS in the gate electrode in the region is removed, an LDD region is formed, the resist is removed, an N-channel Tr forming region is coated with a resist, an S/D region is formed in the P-channel Tr-forming region, a part of SS in the gate electrode in the region is removed and the LDD region is formed.

## LEGAL STATUS

[Date of request for examination] 09.07.2002

[Date of sending the examiner's decision of rejection] 06.05.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274263

(P2001-274263A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) IntCl <sup>7</sup>	識別記号	F I	チーエーエー (参考)	
H 0 1 L	21/8238	H 0 1 L 27/08	3 2 1 E	5 F 0 4 0
	27/092		3 2 1 C	5 F 0 4 8
	29/78	29/78	3 0 1 P	
	21/336		3 0 1 L	

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2000-82365 (P2000-82365)

(22) 出願日 平成12年3月23日 (2000.3.23)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉野 和彦

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 足田 智之

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100065248

弁理士 野村 信太郎

最終頁に続く

## (54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 LDD領域、ポケット層及び高濃度ソース/ドレイン (S/D) 領域を、最小限の製造工程数で製造することができる半導体装置の製造方法を提供することを目的とする。

【解決手段】 CMOS用半導体基板上のN及びPチャネルトランジスタ (Tr) 形成領域にゲート電極を形成し、ゲート電極側壁にサイドウォールスペーサ (SS) を形成し、PチャネルTr形成領域をレジストで被覆し、NチャネルTr形成領域にS/D領域を形成し、この領域におけるゲート電極のSSの一部を除去し、LDD領域を形成し、レジストを除去し、NチャネルTr形成領域をレジストで被覆し、PチャネルTr形成領域にS/D領域を形成し、この領域におけるゲート電極のSSの一部を除去し、LDD領域を形成する半導体装置の製造方法。

【特許請求の範囲】

【請求項 1】 (a) CMOS回路形成用半導体基板上のNチャネル及びPチャネルトランジスタ形成領域にゲート電極を形成し、

(b) ゲート電極側壁にサイドウォールスペースを形成し、

(c) 前記Pチャネルトランジスタ形成領域をレジストで被覆し、該レジスト、ゲート電極及びサイドウォールスペースをマスクとして用いて前記Nチャネルトランジスタ形成領域にイオン注入によりソース/ドレイン領域を形成し、

(d) 前記Nチャネルトランジスタ形成領域におけるゲート電極のサイドウォールスペースの一部を除去し、

(e) 前記レジスト、ゲート電極及び得られたサイドウォールスペースをマスクとして用いて前記Pチャネルトランジスタ形成領域にイオン注入によりLDD領域を形成し、

(f) 前記レジストを除去し、

(g) 前記Nチャネルトランジスタ形成領域をレジストで被覆し、該レジスト、ゲート電極及びサイドウォールスペースをマスクとして用いて前記Pチャネルトランジスタ形成領域にイオン注入によりソース/ドレイン領域を形成し、

(h) 前記Pチャネルトランジスタ形成領域におけるゲート電極のサイドウォールスペースの一部を除去し、

(i) 前記レジスト、ゲート電極及び得られたサイドウォールスペースをマスクとして用いてPチャネルトランジスタ形成領域にイオン注入によりLDD領域を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 工程(e)において、さらに、P型の不純物をイオン注入してLDD領域とチャネル領域との間にポケット層を形成し、

工程(i)において、さらに、N型の不純物をイオン注入してLDD領域とチャネル領域との間にポケット層を形成することからなる請求項 1に記載の方法。

【請求項 3】 工程(b)において、サイドウォールスペースを材料又は材質の異なる下層膜と上層膜との積層膜で形成することからなる請求項 1又は2に記載の方法。

【請求項 4】 下層膜が、高温酸化膜、熱酸化膜又はシリコン窒化膜からなり、上層膜が、高温酸化膜又は低温酸化膜からなる請求項 3に記載の方法。

【請求項 5】 工程(d)及び(h)において、上層膜/下層膜の選択比が5~15となるウェットエッチング法によって上層膜をほぼ完全に除去することによりサイドウォールスペースの一部を除去することからなる請求項 3又は4に記載の方法。

【請求項 6】 請求項 1~5のいずれかに記載の方法により形成された半導体装置。

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及び半導体装置に関し、より詳細には、ホットキャリア耐性に優れ、さらに短チャネル効果が抑制された半導体装置の製造方法及び半導体装置に関する。

【0002】

【従来の技術】従来のMOS型トランジスタは、一般に、ホットキャリア耐性を向上するためにLDD (Lightly Doped Drain) 領域を有し、また、短チャネル効果及びパンチスルーを抑制するために、LDD領域とチャネル領域との間にソース/ドレイン領域とは異なる導電型の不純物層（以下、ポケット層と記す）を有する構造を利用している。

【0003】以下に、LDD領域とポケット層とを有するCMOSトランジスタの製造方法を説明する。

【0004】まず、図4(a)に示すように、素子分離領域22を有する半導体基板21上にVth調整のためのイオン注入を行った後、RCA洗浄等の前処理を行う。その後、熱酸化によりゲート絶縁膜23を形成し、この上にポリシリコン膜を堆積し、このポリシリコン膜を所望の形状にパターニングしてゲート電極24と配線の一部（図示せず）を形成する。

【0005】次に、図4(b)に示すように、Pチャネルトランジスタ形成領域をレジスト25によって被覆し、Nチャネルトランジスタ形成領域に、基板表面に対する法線方向から（以下、単に0°と記す）N型不純物のイオン注入を行い、LDD領域26を形成する。さらに、法線方向から30~40°の注入角度（以下、単に30~40°と記す）でP型不純物をイオン注入し、ポケット層27を形成する。

【0006】続いて、図4(c)に示すように、レジスト25を除去した後、Nチャネルトランジスタ形成領域をレジスト28によって被覆した後、Pチャネルトランジスタ形成領域に、上記と同様にLDD領域29及びポケット層30を形成する。

【0007】その後、図4(d)に示すように、得られた半導体基板21上にHTO (High Temperature Oxide) 膜を堆積し、全面エッチバックすることにより、ゲート電極24の側壁にサイドウォールスペース31を形成する。

【0008】次に、図4(e)に示すように、Pチャネルトランジスタ形成領域をレジスト32によって被覆した後、Nチャネルトランジスタ形成領域に、7°の注入角度でN型不純物のイオン注入を行い、高濃度のソース/ドレイン領域33を形成する。

【0009】続いて、図4(f)に示すように、Nチャネルトランジスタ形成領域をレジスト34によって被覆した後、上記と同様に高濃度のソース/ドレイン領域34を形成する。

【0010】その後、公知の方法により熱処理を行って

N型及びP型不純物を活性化し、さらに、層間絶縁膜、コンタクトホール、配線パターンを形成して半導体装置を完成させる。

【0011】また、LDD領域とポケット層とを有するCMOSトランジスタの別の製造方法を以下に説明する。

【0012】図5(a)に示すように、半導体基板40上にゲート電極41を形成した後、Pチャネルトランジスタ形成領域を被覆し、さらにNチャネルトランジスタ形成領域においては、ゲート電極41周辺のみ開口を有するレジスト42を形成する。このレジスト42とゲート電極41とをマスクとして用いて、P型不純物の斜めイオン注入を行い、ゲート電極41端部直下から周辺にかけてポケット層43を形成する。

【0013】レジスト42を除去し、Pチャネルトランジスタ形成領域を被覆するレジスト(図示せず)を形成した後、図5(b)に示すように、 $0^{\circ}$ でN型不純物をイオン注入して高濃度ソース/ドレイン領域44を形成する。この際、N型不純物が、ポケット層43の一部にも注入されるが、N型不純物が注入された領域は、N型及びP型の不純物が偏在しあって、低濃度のN型領域、すなわちLDD領域45となる。

【0014】なお、Pチャネルトランジスタ形成領域にも、上記と同様にレジストを用いて、ポケット層、高濃度ソース/ドレイン領域及びLDD領域を形成する。

【0015】

【発明が解決しようとする課題】上述した半導体装置の製造方法によれば、いずれの製造方法においても、ゲート電極を形成した後、LDD領域、ポケット層及び高濃度ソース/ドレイン領域を形成するために、Nチャネルトランジスタ形成領域とPチャネルトランジスタ形成領域とを、それぞれ2回ずつレジストで被覆する必要がある、よって、合計4回のフォトリソグラフィ工程が必要となり、製造工程の煩雑化を招くこととなる。

【0016】また、特に後者の場合には、N型不純物とP型不純物とを偏在させることによりLDD領域を形成するため、予め設定されたドーズでイオン注入することによりLDD領域を形成する方法に比較して、LDD領域の不純物濃度の制御が困難であるという問題もある。

【0017】本発明は上記課題に鑑みなされたものであり、LDD領域、ポケット層及び高濃度ソース/ドレイン領域を、最小限の製造工程数で製造することができる半導体装置の製造方法、この方法により形成される半導体装置を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明によれば、(a) CMOS回路形成用半導体基板上のNチャネル及びPチャネルトランジスタ形成領域にゲート電極を形成し、

(b) ゲート電極側壁にサイドウォールスペースを形成し、(c) 前記Pチャネルトランジスタ形成領域をレジ

ストで被覆し、該レジスト、ゲート電極及びサイドウォールスペースをマスクとして用いて前記Nチャネルトランジスタ形成領域にイオン注入によりソース/ドレイン領域を形成し、(d) 前記Nチャネルトランジスタ形成領域におけるゲート電極のサイドウォールスペースの一部を除去し、(e) 前記レジスト、ゲート電極及び得られたサイドウォールスペースをマスクとして用いてNチャネルトランジスタ形成領域にイオン注入によりLDD領域を形成し、(f) 前記レジストを除去し、(g) 前記Nチャネルトランジスタ形成領域をレジストで被覆し、該レジスト、ゲート電極及びサイドウォールスペースをマスクとして用いて前記Pチャネルトランジスタ形成領域にイオン注入によりソース/ドレイン領域を形成し、(h) 前記Pチャネルトランジスタ形成領域におけるゲート電極のサイドウォールスペースの一部を除去し、(i) 前記レジスト、ゲート電極及び得られたサイドウォールスペースをマスクとして用いてPチャネルトランジスタ形成領域にイオン注入によりLDD領域を形成する半導体装置の製造方法が提供される。

【0019】また、本発明によれば、上記の方法により形成された半導体装置が提供される。

【0020】

【発明の実施の形態】本発明の半導体装置の製造方法によれば、まず、工程(a)において、CMOS回路形成用半導体基板上のNチャネル及びPチャネルトランジスタ形成領域にゲート電極を形成する。

【0021】本発明において用いることができるCMOS回路形成用半導体基板とは、通常、半導体装置を製造することができる半導体基板であれば、特に限定されるものではなく、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs等の化合物半導体等による基板が挙げられる。なかでもシリコン基板が好ましい。半導体基板は、適当な抵抗を与えるためにP型又はN型の不純物がドーピングされていてもよく、形成しようとする半導体装置の特性等を考慮して、閾値調整のための不純物がドーピングされていてもよく、また、N型又はP型の不純物拡散層(ウェル)が1個又は複数個形成されていてもよい。さらに、半導体基板には、LOCOS法、トレンチ素子分離法等により素子分離領域；トランジスタ、キャパシタ、抵抗等の他の素子及びこれらによる回路；層間絶縁膜、ゲート絶縁膜等の絶縁膜；配線層等が形成されていてもよい。

【0022】ゲート電極は、通常用いられる電極材料により形成されるものであれば、その材料は特に限定されるものではなく、例えば、ポリシリコン；金属(アルミニウム、金、銅、銀、タングステン、タantal、チタン、コバルト等)；シリサイド(タングステンシリサイド等)又はそれらの積層膜(例えば、ポリシリコンとタングステンシリサイド等)等が挙げられる。ゲート電極の膜厚は、例えば、100~500nm程度が挙げられ

る。ゲート電極は、半導体基板上全面に上記電極材料を、スパッタリング法、真空蒸着法、CVD法、EB法等により形成した後、フォトリソグラフィ及びエッチング工程によって所望の形状にパターニングすることにより形成することができる。

【0023】工程(b)において、ゲート電極側壁にサイドウォールスペースを形成する。サイドウォールスペースは、ゲート電極を含む半導体基板上全面に絶縁膜を形成した後、エッチバックすることにより形成することができる。

【0024】サイドウォールスペースを形成するための絶縁膜は、シリコン酸化膜(例えば、高温酸化膜:HTO膜、熱酸化膜、低温酸化膜:LT膜)、シリコン窒化膜等の単層膜で形成してもよいが、これらの積層膜で形成することが好ましい。なかでも、材料又は材質の異なる2種の積層膜で形成することが好ましい。例えば、シリコン酸化膜(高温酸化膜又は熱酸化膜)又はシリコン窒化膜からなる下層膜と、シリコン酸化膜(高温酸化膜又は低温酸化膜)からなる上層膜との積層膜が挙げられ、特に、下層膜が高温酸化膜で形成することがより好ましい。これらの組み合わせとしては、所望のエッチング方法、例えば、RIE、等方性プラズマエッチング等のドライエッチング、酸、アルカリ又はこれらの混合溶液を用いたウェットエッチングによって、上層膜のエッチングレートが下層膜よりも大きくなるような組み合わせ、例えば、上層膜/下層膜の選択比が5程度以上、さらに5~15程度の範囲になるような組み合わせが好ましい。具体的には、LT膜/HTO膜、HTO膜/熱酸化膜、HTO膜/シリコン窒化膜等が挙げられる。また、絶縁膜の膜厚は、例えば、50~200nm程度が挙げられる。

【0025】なお、HTO膜は、例えば、減圧CVD法により成長温度800~850℃程度の温度範囲、原料ガスとしてSiH<sub>4</sub>、N<sub>2</sub>O等を用いて形成することができる。また、LT膜は、成長温度350~450℃程度の温度範囲、原料ガスとしてTEOS(テトラエチルオルソシリケート)を用い、圧力を数10 Torr程度として形成することができる。さらに、熱酸化膜は、700~850℃程度の温度範囲、原料ガスとしてN<sub>2</sub>H<sub>3</sub>、SiH<sub>4</sub>Cl<sub>2</sub>等を用い、圧力を減圧の状態として形成することができる。

【0026】工程(c)において、Pチャネルトランジスタ形成領域をレジストで被覆し、該レジスト、ゲート電極及びサイドウォールスペースをマスクとして用いてNチャネルトランジスタ形成領域にイオン注入によりソース/ドレイン領域を形成する。Pチャネルトランジスタ形成領域をレジストで被覆する方法は、公知の方法、フォトリソグラフィ及びエッチング工程により行うことができる。

【0027】イオン注入は、例えば、砒素、リン等のN

型不純物を、2.0~4.0×10<sup>15</sup>cm<sup>-2</sup>程度のドーパ、40~50keV程度の注入エネルギーで行うことができる。イオン注入は、基板表面に対する法線方向から行うことが好ましい。これにより、Nチャネルトランジスタ形成領域にのみ、不純物濃度2.0~4.0×10<sup>20</sup>cm<sup>-3</sup>程度の高濃度のソース/ドレイン領域を形成することができる。

【0028】工程(d)において、Nチャネルトランジスタ形成領域におけるゲート電極のサイドウォールスペースの一部を除去する。なお、サイドウォールスペースの一部除去は、前の工程(c)において形成したPチャネルトランジスタ形成領域を被覆したレジストが存在する状態で行う。

【0029】ここでの一部除去とは、サイドウォールスペースを完全に除去せずに、ゲート電極側壁上のサイドウォールスペースの膜厚を薄くすることを意味する。薄く化は、チャネル領域と高濃度ソース/ドレイン領域との間に形成されるLDD領域がその機能を十分に果たすような幅に対応する程度の膜厚を除去するように行うことが好ましい。具体的には、等方性プラズマエッチング等のドライエッチング又はウェットエッチング等により行うことができる。なかでも、サイドウォールスペースを構成する膜の種類にもよるが、ウェットエッチング法が好ましい。

【0030】また、上記したように、サイドウォールスペースが異なる材料又は材質の2層構造の積層膜により形成されている場合には、上層膜をほぼ完全に除去し、下層膜のうち、ゲート電極の側壁上に配置されている部分のみを残すように除去することが好ましい。例えば、上記したような絶縁膜の組み合わせの場合には、バッファードHF(フッ化水素とフッ化アンモニウムとの混合液)によるウェットエッチングが好ましい。このような方法によれば、サイドウォールスペースの一部除去の際のゲート絶縁膜のエッチングダメージを防止することができる。

【0031】工程(e)において、Pチャネルトランジスタ形成領域を被覆したレジスト、ゲート電極及び工程(d)において一部除去して残存したサイドウォールスペースをマスクとして用いて、Nチャネルトランジスタ形成領域にイオン注入によりLDD領域を形成する。

【0032】イオン注入は、例えば、砒素、リン等のN型不純物を、2.0~6.0×10<sup>13</sup>cm<sup>-2</sup>程度のドーパ、30~35keV程度の注入エネルギーで行うことができ、注入方向は、ほぼ、基板表面に対する法線方向から行うことが好ましい。

【0033】これにより、Nチャネルトランジスタ形成領域にのみ、高濃度ソース/ドレイン領域とチャネル領域との間に、不純物濃度2.0~6.0×10<sup>18</sup>cm<sup>-3</sup>程度のLDD領域を形成することができる。

【0034】工程(f)において、Pチャネルトランジ

スタ形成領域を被覆するレジストを除去する。レジストは、公知の方法、例えば、所望の溶液を用いたウェットエッチングにより除去することができる。

【0035】工程(e)～工程(i)は、Pチャネルトランジスタのソース／ドレイン領域のためのイオン注入が、例えば、ボロン又は $49\text{BF}_2^+$ を用い、ドーズ $1.0 \sim 3.0 \times 10^{15}\text{cm}^{-2}$ 程度、注入エネルギー $30 \sim 40\text{keV}$ 程度、LDD領域のためのイオン注入が、例えば、ボロン又は $49\text{BF}_2^+$ を用い、ドーズ $1.0 \sim 4.0 \times 10^{13}\text{cm}^{-2}$ 程度、 $30 \sim 35\text{keV}$ 程度とする以外は、実質的に工程(c)～(e)と同様に行うことができる。

【0036】なお、工程(e)～工程(i)と工程(c)～(e)とは、いずれを先に行ってもよい。また、工程(i)の後に、工程(f)と同様に、レジストを除去することが好ましい。

【0037】本発明においては、上記工程(e)において、さらに、P型の不純物をイオン注入してLDD領域とチャネル領域との間にポケット層を形成してもよい。

【0038】例えば、LDD領域のためのイオン注入をする前又は後に、ボロン又は $49\text{BF}_2^+$ を用い、ドーズ $6.0 \sim 8.0 \times 10^{12}\text{cm}^{-2}$ 程度、注入エネルギー $50 \sim 60\text{keV}$ 程度、基板表面に対する法線方向から $30 \sim 40^\circ$ の注入角度でポケット層のためのイオン注入を行う。これにより、LDD領域とチャネル領域との間に、不純物濃度 $6.0 \sim 8.0 \times 10^{17}\text{cm}^{-3}$ 程度のポケット層を形成することができる。

【0039】また、工程(i)においても、砒素又はリンを用い、ドーズ $1.0 \sim 2.0 \times 10^{12}\text{cm}^{-2}$ 程度、注入エネルギー $150 \sim 160\text{keV}$ 程度でイオン注入する以外は、実質的に工程(e)と同様にポケット層を形成することができる。

【0040】なお、本発明においては、上記各工程の前、中、後に、熱処理によってN型及びP型不純物領域の活性化を行ってもよいし、層間絶縁膜の形成、リフロー工程やCMP (Chemical Mechanical Polishing) 法による絶縁膜の平坦化、コンタクトホール形成、配線の形成等、通常の半導体装置を完成させる工程を任意に行うことができる。

【0041】以下に、本発明の半導体装置の製造方法を図面に基いて説明する。

#### 実施例1

まず、図1(a)に示すように、素子分離領域2を有する半導体基板1上の活性領域に、 $V_{th}$  (閾電圧)調整のためのイオン注入 (例えば、イオン種は $11\text{B}^+$ 、注入エネルギーは $20\text{keV}$ 、ドーズは $1.0 \times 10^{12}\text{cm}^{-2}$ 、注入角度 $7^\circ$ ) を行った後、 $1 \sim 20\text{nm}$ 程度のゲート絶縁膜3を形成する。この上に、ポリシリコン膜を $100 \sim 200\text{nm}$ 程度堆積し、フォトリソ工程を行ってゲート電極4を形成する。

【0042】次に、図1(b)に示すように、後述のサイドウォールスペーサ除去工程においてエッチングストップとなるサイドウォール下層膜5を $10 \sim 20\text{nm}$ 程度堆積し、さらにその上にサイドウォール上層膜6を $50 \sim 150\text{nm}$ 程度堆積させる。

【0043】ここで、サイドウォール上層膜/サイドウォール下層膜としては、LTO膜 (低温酸化膜)/HTO膜 (高温酸化膜) が挙げられる。LTO膜 (低温酸化膜) は成長温度 $350 \sim 450^\circ\text{C}$ 、原料ガスとしてTEOS (テトラエチルオルソシリケート) を用い、圧力は $10\text{Torr}$ で形成する。また、HTO膜 (高温酸化膜) は、減圧CVD法により、成長温度 $800 \sim 850^\circ\text{C}$ 、原料ガスとして $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ を用いて形成する。

【0044】続いて、図1(c)に示すように、サイドウォール上層膜/サイドウォール下層膜をエッチバックし、ゲート電極4の側壁にサイドウォールスペーサ7を形成する。

【0045】次いで、図1(d)に示すように、Pチャネルトランジスタ形成領域をレジスト8によって選択的に被覆し、Nチャネルトランジスタ形成領域にN型不純物のイオン注入 (例えばイオン種は $75\text{As}^+$ 、注入エネルギー $40 \sim 50\text{keV}$ 、ドーズは $2.0 \sim 4.0 \times 10^{15}\text{cm}^{-2}$ 、注入角度は $7^\circ$ ) を行い、高濃度のソース／ドレイン9を形成する。

【0046】その後、図1(e)に示すように、レジスト8が存在する状態で、例えば、バッファードHF (弗酸と弗化アンモニウム の混合液) によるウェットエッチングによって、ゲート電極4の側壁上のサイドウォールスペーサ7におけるサイドウォール下層膜5の一部のみを残して、サイドウォールスペーサ7を除去する。ここで、サイドウォールスペーサ7の除去においてウェットエッチングを使用するのは、ゲート絶縁膜のエッチングダメージを防止することを目的として、サイドウォール下層膜5をエッチングストップとして機能させるためである。

【0047】続いて、図2(f)に示すように、レジスト8、ゲート電極4及びサイドウォールスペーサ7をマスクとして用いて、N型不純物のイオン注入 (例えば、イオン種は $31\text{P}^+$ 、注入エネルギー $30 \sim 35\text{keV}$ 、ドーズは $2.0 \sim 6.0 \times 10^{13}\text{cm}^{-2}$ 、注入角度は垂直方向) を行い、LDD領域10を形成する。

【0048】さらに、P型不純物のイオン注入 (例えば、イオン種は $11\text{B}^+$ 、注入エネルギー $50 \sim 60\text{keV}$ 、ドーズは $6.0 \sim 8.0 \times 10^{12}\text{cm}^{-2}$ 、注入角度は $30 \sim 40^\circ$ ) を行い、ポケット層11を形成する。

【0049】その後、図2(g)に示すように、レジスト8の除去した後、Nチャネルトランジスタ形成領域をレジスト12によって選択的に被覆し、Pチャネルトランジスタ形成領域にP型不純物のイオン注入 (例えば、イオン種は $49\text{BF}_2^+$ 、注入エネルギー $30 \sim 40\text{keV}$ ) を行い、Pチャネル領域13を形成する。

V、ドーズは $1.0 \sim 3.0 \times 10^{15} \text{ cm}^{-2}$ 、注入角度は $7^\circ$ ）を行い、高濃度のソース/ドレイン領域13を形成する。

【0050】続いて、図2(h)に示すように、上記と同様の方法によりゲート電極4の側壁上のサイドウォールスペース7におけるサイドウォール下層5の一部のみを残して、サイドウォールスペース7を除去し、P型不純物のイオン注入（例えば、イオン種は $49 \text{ BF}_2^+$ 、注入エネルギー $30 \sim 35 \text{ keV}$ 、ドーズは $1.0 \sim 4.0 \times 10^{13} \text{ cm}^{-2}$ 、注入角度は垂直方向）を行い、LDD領域14を形成する。

【0051】さらに、P型不純物をイオン注入（例えば、イオン種は $31 \text{ P}^+$ 、注入エネルギー $150 \sim 155 \text{ keV}$ 、ドーズは $1.0 \sim 2.0 \times 10^{13} \text{ cm}^{-2}$ 、注入角度は $30 \sim 40^\circ$ ）を行い、ポケット層15を形成する。

【0052】次に、図2(i)に示すように、レジスト12を除去し、熱処理によってN型及びP型不純物注入領域の活性化を行う。

【0053】さらに、公知の方法により、層間絶縁膜として、ボロンとリンとを含んだ $\text{SiO}_2$ 膜を、膜厚 $600 \sim 900 \text{ nm}$ 程度、CVD法によって堆積し、CMP法により平坦化し、コンタクトホール及び配線パターンを形成し、半導体装置を完成する。

【0054】上記実施例によれば、トランジスタのソース/ドレイン領域、LDD領域及びポケット層を形成するために、P及びNチャネルトランジスタ形成領域を被覆するためのフォトリソ工程をそれぞれ1回ずつ必要とするのみである。よって、プロセスの工程数の削減して、製造コストを低減することができる。同時に、ターン・アラウンド・タイム（TAT）を短縮できる。しかも、フォトリソ工程の削減により、フォトリソ工程に起因する歩留まりの低下や素子特性の劣化の防止を図ることができる。

#### 実施例2

図1(a)～図1(e)に示す方法と同様に、半導体基板1上にゲート電極4を形成し、Nチャネルトランジスタ形成領域に、サイドウォール下層5によるサイドウォールスペース及び高濃度のソース/ドレイン領域9を形成する。

【0055】その後、図3(a)に示すように、N型不純物のイオン注入（例えば、イオン種は $31 \text{ P}^+$ 、注入エネルギー $30 \sim 35 \text{ keV}$ 、ドーズは $2.0 \sim 6.0 \times 10^{13} \text{ cm}^{-2}$ 、注入角度は $0^\circ$ ）を行い、LDD領域10を形成する。

【0056】続いて、図3(b)に示すように、レジスト8を除去した後、Nチャネルトランジスタ形成領域をレジスト12で被覆し、Pチャネルトランジスタ形成領域に、同様に高濃度のソース/ドレイン領域13及びLDD領域14を形成する。

【0057】次に、図3(c)に示すように、レジスト

12を除去し、熱処理によってN型及びP型不純物注入領域の活性化を行う。

【0058】その後、上記と同様に層間絶縁膜、コンタクトホール及び配線パターンを形成し、半導体装置を完成する。

【0059】上記実施例によれば、トランジスタのソース/ドレイン領域、LDD領域を形成するために、P及びNチャネルトランジスタ形成領域を被覆するためのフォトリソ工程をそれぞれ1回ずつ必要とするのみである。よって、プロセスの工程数の削減して、製造コストを低減することができる。同時に、ターン・アラウンド・タイム（TAT）を短縮できる。しかも、フォトリソ工程の削減により、フォトリソ工程に起因する歩留まりの低下や素子特性の劣化の防止を図ることができる。

#### 【0060】

【発明の効果】本発明によれば、P及びNチャネルトランジスタ形成領域を被覆するためのフォトリソ工程をそれぞれ1回ずつ行うのみで、P及びNチャネルトランジスタのソース/ドレイン領域及びLDD領域を形成することができる。よって、プロセスの工程数の削減して、製造コストを低減することができる。同時に、ターン・アラウンド・タイム（TAT）を短縮できる。しかも、フォトリソ工程の削減により、フォトリソ工程に起因する歩留まりの低下や素子特性の劣化の防止を図ることが可能となる。

【0061】また、工程(e)において、さらに、P型の不純物をイオン注入してLDD領域とチャネル領域との間にポケット層を形成し、工程(i)において、さらに、N型の不純物をイオン注入してLDD領域とチャネル領域との間にポケット層を形成する場合には、P及びNチャネルトランジスタ形成領域を被覆するためのフォトリソ工程をそれぞれ1回ずつ行うのみで、LDD領域と、高濃度ソース/ドレイン領域と、ポケット領域とを形成することができ、上記と同様に、製造コストの低減及びTATの短縮を図ることができる。

【0062】さらに、工程(b)において、サイドウォールスペースを、高温酸化膜、熱酸化膜又はシリコン窒化膜からなる下層膜と、高温酸化膜又は低温酸化膜からなる上層膜との積層膜で形成することからなる場合、特に、工程(d)及び(h)において、上層膜/下層膜の選択比が $5 \sim 15$ となるウェットエッチング法によって上層膜をほぼ完全に除去することによりサイドウォールスペースの一部を除去する場合には、ゲート絶縁膜のダメージを最小限に抑えることができ、歩留まりの低下や素子特性の劣化をより防止することができる。

【0063】また、本発明によれば、信頼性が高く、低コストの半導体装置を提供することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を説明するための製造工程を示す要部の概略断面工程図である。

【図2】本発明の半導体装置の製造方法を説明するための製造工程を示す要部の概略断面工程図である。

【図3】本発明の半導体装置の製造方法を説明するための別の製造工程を示す要部の概略断面工程図である。

【図4】従来の半導体装置の製造方法を示す製造工程図である。

【図5】従来の別の半導体装置の製造方法を示す製造工程図である。

【符号の説明】

1 半導体基板

2 素子分離領域

3 ゲート絶縁膜

4 ゲート電極

5 サイドウォール下層膜

6 サイドウォール上層膜

7 サイドウォールスペーサ

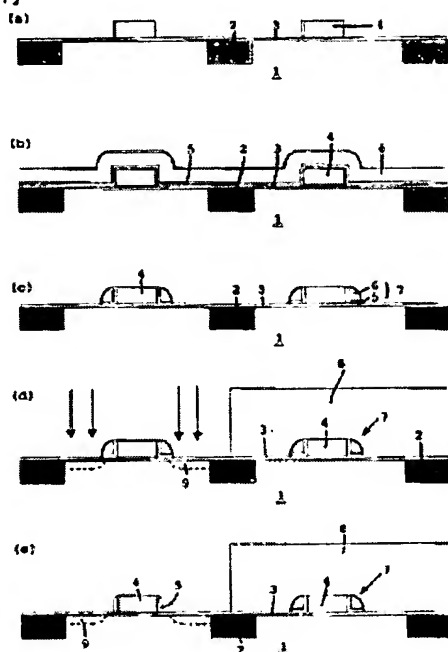
8、12 レジスト

9、13 ソース/ドレイン領域

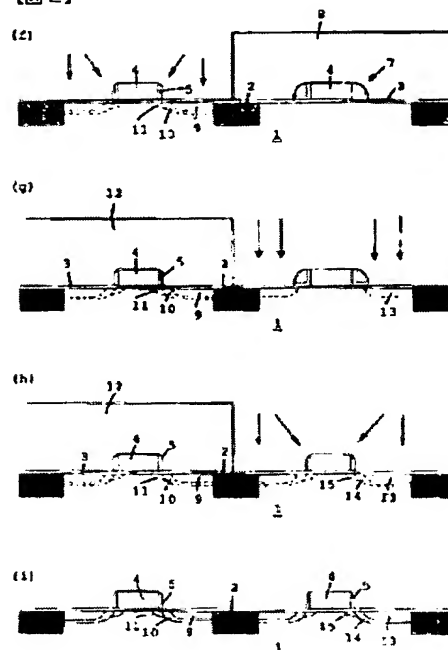
10、14 LDD領域

11、15 ポケット層

【図1】

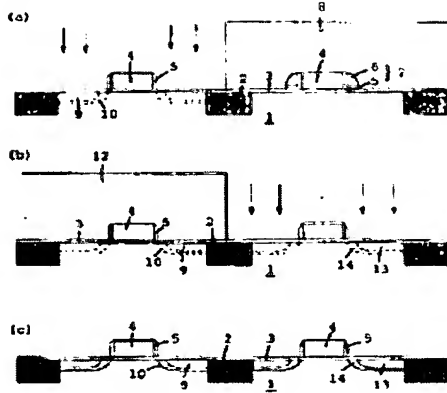


【図2】

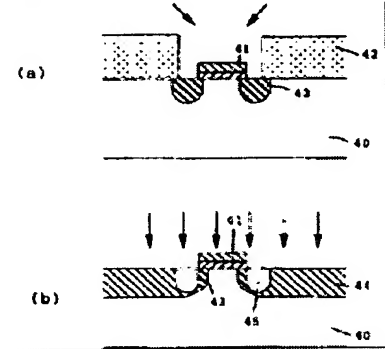




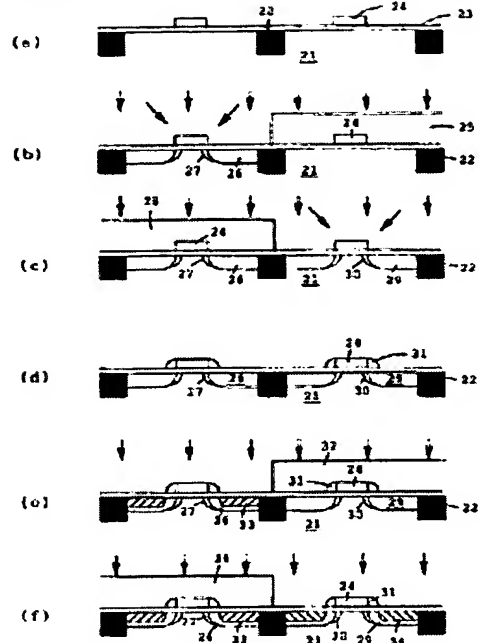
【図3】



【図5】



【図4】



フロントページの続き

(72)発明者 下村 奈良和  
大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

Fターム(参考) 5F040 DA06 DA17 DB03 DB09 DB10  
DC01 DC03 DC04 EC01 EC07  
EC08 EC09 EC10 EC13 EF02  
EF13 EK01 EK05 EM01 EM02  
FA05 FA07 FA10 FB03 FB04  
FC02 FC13 FC21 FC22  
5F048 AA05 AA07 AA09 AC03 BA01  
BB05 BB08 BB09 BC06 BD04  
BE08 BG14 DA25 DA27 DA30